

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: **11067508 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **09222545**(51) Intl. Cl.: **H01C 13/02 H01C 7/04 H01C 13/00 H01C 17/06 H01G 4/40**(22) Application date: **19.08.97**

(30) Priority:

(43) Date of application publication: **09.03.99**

(84) Designated contracting states:

(71) Applicant: **MITSUBISHI MATERIALS CORP**(72) Inventor: **YOTSUMOTO KOJI
HIGUCHI YOSHIHIRO
KOSHIMURA MASAMI**

(74) Representative:

**(54) COMPOSITE ELEMENT
AND ITS MANUFACTURE**

(57) Abstract:

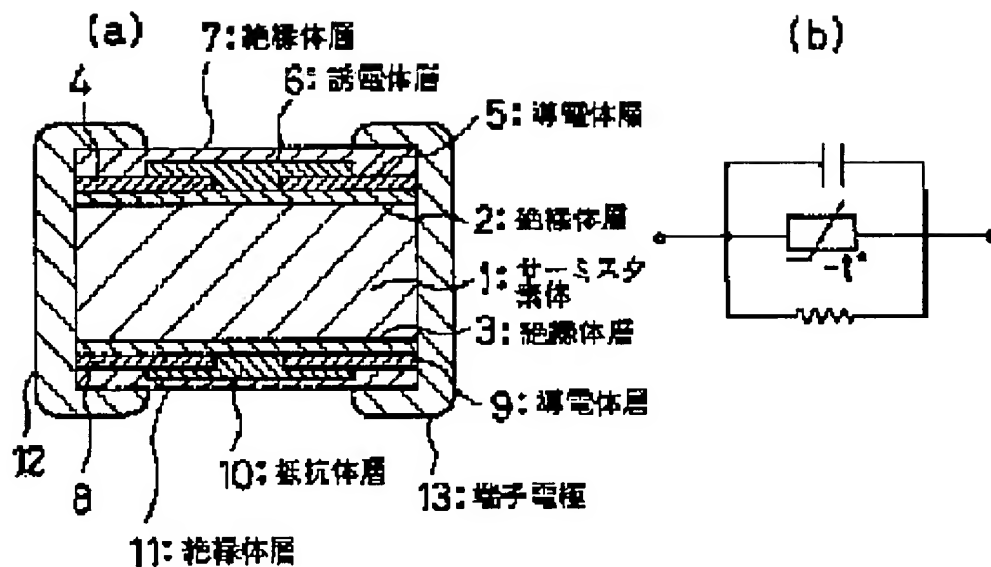
PROBLEM TO BE SOLVED: To provide a composite element which has characteristics equivalent to that of a parallel circuit of a thermistor, a capacitor, and a resistor while it is composed of a single chip by adopting a method for forming a thin film of a dielectric material and a resistance material on the surface of a blank thermistor body and a method for manufacturing the element.

SOLUTION: A blank thermistor body 1 is formed in a rectangular parallelepiped chip, having an insulator layer 2 on one side face and another insulator layer 3 on the other side face. On the insulator layer 2, conductor layers 4 and 5 are provided at prescribe intervals and a dielectric layer 6 is provided on the conductor layers 4 and 5 including the space between the layers 4 and 5, and then an insulator layer 7 is provide so as to

cover the layers 4, 5, and 6. On the insulator layer 3, in addition, conductor layers 8 and 9 are provided at prescribed intervals and a resistor layer 10 is provided on the conductor layers 8 and 9 including the space between the layers 8 and 9. Then an insulator layer 11 is provided so as to cover the layers 8, 9, and 10.

Terminal electrodes 12 and 13 are respectively provided on the both end faces of the blank thermistor body 1.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67508

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 C 13/02
7/04
13/00
17/06

H 0 1 C 13/02
7/04
13/00
17/06

D

C
A
V

審査請求 未請求 請求項の数 3 O L (全 4 頁) 最終頁に続く

(21) 出願番号

特願平9-222545

(22) 出願日

平成9年(1997) 8月19日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 四元 孝二

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72) 発明者 樋口 由浩

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72) 発明者 越村 正己

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

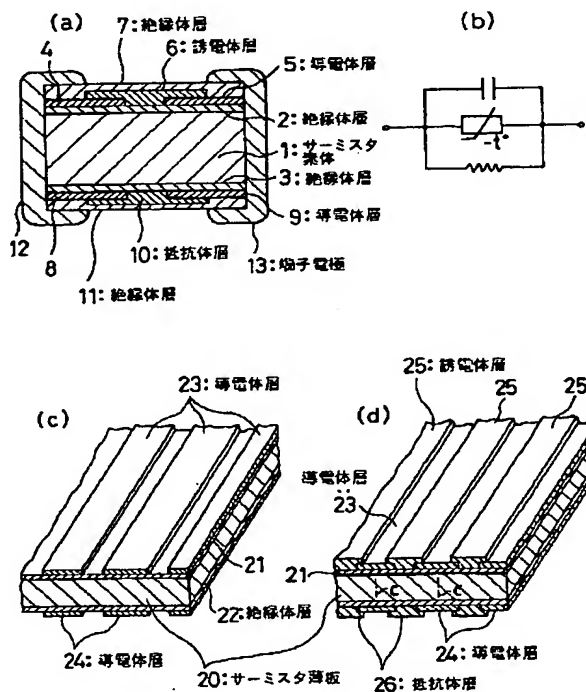
(74) 代理人 弁理士 重野 剛

(54) 【発明の名称】 複合素子及びその製造方法

(57) 【要約】

【課題】 サーミスタ素体の表面に誘電材料及び抵抗材料を厚膜形成する手法を採用することにより、サーミスタとコンデンサと抵抗の並列回路と等価な特性を1チップで実現した複合素子及びその製造方法を提供することを目的とする。

【解決手段】 サーミスタ素体1は直方体形状のチップ状のものであり、一方の側面に絶縁体層2が設けられ、他方の側面に絶縁体層3が設けられている。絶縁体層2上には所定の間隔をあけて導電体層4、5が設けられ、この導電体層4、5にまたがって誘電体層6が設けられ、これらの層4、5、6を覆うように絶縁体層7が設けられている。絶縁体層3上には、所定の間隔をあけて導電体層8、9が設けられ、この導電体層4、5にまたがって抵抗体層10が設けられ、これら層8、9、10を覆うように絶縁体層11が設けられている。サーミスタ素体1の1対の端面には端子電極12、13が設けられている。



【特許請求の範囲】

【請求項1】 直方体形のチップ状のサーミスタ素体と、
該サーミスタ素体の1対の平行な端面にそれぞれ設けられた端子電極と、
該サーミスタ素体のこれら端面を結ぶ方向に延びる側面上に形成され、それぞれ各端子電極に接続された誘電体層及び抵抗体層とを備えてなる複合素子。
【請求項2】 請求項1において、前記サーミスタ素体の一方の側面に前記誘電体層が形成され、他方の側面に前記抵抗体層が形成されていることを特徴とする複合素子。
【請求項3】 請求項2の複合素子を製造する方法であって、
サーミスタ組成の薄板の双方の板面に絶縁体層を形成する工程と、
一方の該絶縁体層上に平行に帯状の第1の導電体層を形成すると共に、他方の該絶縁体層上に、該第1の導電体層と対応する位置関係にて帯状の第2の導電体層を形成する工程と、
隣接する該第1の導電体層同士にまたがって誘電体層を形成し、隣接する第2の導電体層同士にまたがって抵抗体層を形成する工程と、
該薄板を該導電体層の長手方向と直交方向に切断して短冊状素体とする工程と、
該短冊状素体の該切断方向の両側面に絶縁体層を形成する工程と、
該短冊状素体をその長手方向と直交方向に切断してチップとする工程と、
該チップのうちサーミスタ素体が露出した1対の端面に端子電極を形成する工程と、を有する複合素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サーミスタ、コンデンサ及び抵抗を並列に設けた複合素子とその製造方法に関する。詳しくは、水晶発振器等の温度補償回路用として回路基板等に表面実装される温度補償用複合素子に好適な複合素子と、その製造方法に関する。

【0002】

【従来の技術】従来、水晶発振器の温度補償回路等のように、サーミスタとコンデンサと抵抗の並列回路を構成する場合には、サーミスタ、コンデンサ及びチップ抵抗等の複数の電子部品を個々に同一基板上にフローあるいはリフローはんだ付けにより実装することが行われている。

【0003】

【発明が解決しようとする課題】しかし、このようにサーミスタ及びコンデンサ等の個々の電子部品を複数個用いて回路を構成する場合には、複数の部品を同一基板上

に実装するため、必然的に実装面積が増大し、回路の小型化を進める上で大きな制約となっていた。

【0004】本発明は、サーミスタ素体の表面に誘電材料及び抵抗材料を厚膜形成する手法を採用することにより、サーミスタとコンデンサと抵抗の並列回路と等価な特性を1チップで実現した複合素子及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の複合素子は、直方体形のチップ状のサーミスタ素体と、該サーミスタ素体の1対の平行な端面にそれぞれ設けられた端子電極と、該サーミスタ素体のこれら端面を結ぶ方向に延びる側面上に形成され、それぞれ各端子電極に接続された誘電体層及び抵抗体層とを備えてなるものである。

【0006】かかる本発明の複合素子によれば、サーミスタ特性と誘電性及び抵抗性を有する複合素子を単体の素子として実現することが可能となる。本発明による複合素子を利用すれば、サーミスタ、コンデンサ及び抵抗の並列回路として構成している温度補償回路等、電子回路の小型化が可能となる。特に、小型化ニーズの強い温度補償型水晶発振器等の温度補償用回路として、本素子は有用である。

【0007】本発明では、チップの一方の側面に誘電体層が設けられ、他方の側面に抵抗体層が設けられていることが好ましい。この場合、この複合素子は、サーミスタ組成の薄板の双方の板面に絶縁体層を形成する工程と、一方の該絶縁体層上に平行に帯状の第1の導電体層を形成すると共に、他方の該絶縁体層上に、該第1の導電体層と対応する位置関係にて帯状の第2の導電体層を形成する工程と、隣接する該第1の導電体層同士にまたがって誘電体層を形成し、隣接する第2の導電体層同士にまたがって抵抗体層を形成する工程と、該薄板を該導電体層の長手方向と直交方向に切断して短冊状素体とする工程と、該短冊状素体の該切断方向の両側面に絶縁体層を形成する工程と、該短冊状素体をその長手方向と直交方向に切断してチップとする工程と、該チップのうちサーミスタ素体が露出した1対の端面に端子電極を形成する工程とによって製造することができる。

【0008】

【発明の実施の形態】図1(a)は実施の形態に係る複合素子の断面図、図1(b)はこの複合素子の等価回路図である。

【0009】サーミスタ素体1は直方体形状のチップ状のものであり、一方の側面に絶縁体層2が設けられ、他方の側面に絶縁体層3が設けられている。

【0010】絶縁体層2上には所定の間隔をあけて導電体層4、5が設けられ、この導電体層4、5にまたがって誘電体層6が設けられ、これらの層4、5、6を覆うように絶縁体層7が設けられている。

【0011】絶縁体層3上には、所定の間隔をあけて導

電体層8, 9が設けられ、この導電体層4, 5にまたがって抵抗体層10が設けられ、これら層8, 9, 10を覆うように絶縁体層11が設けられている。

【0012】サーミスタ素体1の1対の端面には端子電極12, 13が設けられている。この複合素子は、図1(b)のようにコンデンサ、サーミスタ及び抵抗が並列に設けられたものであり、回路基板に表面実装される。

【0013】この複合素子の製造方法の一例は次の通りである。図1(c)のように、サーミスタ組成の薄板20を用意し、その両面に後に絶縁体層2, 3となる絶縁体層21, 22を形成する。この絶縁体層21の上に、後に導電体層4, 5となる帯状の第1の導電体層23を形成し、絶縁体層22の上に後に導電体層8, 9となる帯状の第2の導電体層24を形成する。

【0014】次いで、図1(d)のように、導電体層23, 23にまたがって誘電体層25を形成し、導電体層24, 24にまたがって抵抗体層26を形成する。次いで、両面において誘電体層25、抵抗体層26及び導電体層23, 24を覆うように絶縁体層を形成する。

【0015】その後、導電体層23, 24の長手方向と直交方向に薄板20を切断し、短冊状の素体とし、この短冊状の素体の両面(切断面)に絶縁体層を形成する。次に、図示はしないが、この短冊状素体をその長手方向と直交方向に図1(d)のCで示す位置で切断し、チップを得る。このチップの両端面に端子電極12, 13を形成することにより、図1(a)の複合素子が形成される。

【0016】なお、特に本発明を限定するものではないが、サーミスタ材料としては $Mn-Co-Cu$ 系、 $Mn-Co-Fe$ 系のものなどを用いることができる。

【0017】導電体層23, 24は、例えば導電性電極ペーストをスクリーン印刷等により印刷し、乾燥後焼き付けることにより形成される。

【0018】誘電体層25は、 TiO_2 系等の誘電体ペーストをスクリーン印刷等により印刷し、乾燥後焼き付けることにより形成される。

【0019】抵抗体層26は、 RuO_2 系等の抵抗体ペーストをスクリーン印刷等により印刷し、乾燥後焼き付けることにより形成される。

【0020】絶縁体層は、ガラスペーストをスクリーン印刷等により印刷し、乾燥後焼き付けることにより形成される。なお、絶縁体層7, 11となる絶縁体層は、一液性エポキシ配合樹脂等の絶縁性樹脂材料を塗付することによっても形成できる。この絶縁性樹脂材料を用いて絶縁体層を形成した場合、端子電極12, 13は導電性樹脂材料を用いて形成される。

【0021】端子電極12, 13は導電性電極材料をディップ法等により付着させ、乾燥後、焼き付け、その後電解バレルめっき法等により例えば厚さ2~5 μm のNiめっき、及び厚さ3~7 μm のはんだめっきを形成す

ることにより形成できるが、導電性樹脂材料を用いて形成されても良い。

【0022】

【実施例】以下、本発明の実施例について説明する。

【0023】(1) 30×50×0.6mmの寸法の薄板状サーミスタ(焼結体)を用意し、その薄板状素体の両面に市販のガラスペースト(絶縁性)を図1に示すように素体全面にスクリーン印刷法により印刷し、乾燥後(150℃、15分)、850℃×15分で焼き付けた。

【0024】(2) このガラス層を形成した薄板状素体の両面に所定のパターンとなるように、市販の導電性電極ペースト(Ag、ガラスフリット、焼き付け用)をスクリーン印刷法により印刷し、乾燥後(150℃、15分)、850℃×15分で焼き付けた。なお、電極幅:1.42mm、電極間隔:0.20mmとした。

【0025】(3) この導電性電極を形成した薄板状素体の片面に低温焼成タイプの誘電体ペーストをスクリーン印刷法により所定のパターンとなるように印刷し、乾燥させた(150℃、15分)。なお、帯状膜の幅:0.80mm、帯状膜の間隔:0.82mmとした。

【0026】(4) この薄板状素体のもう一方の面に抵抗体ペーストをスクリーン印刷法により所定のパターンとなるよう印刷し、乾燥後、850℃×15分で焼き付けた。なお、帯状膜の幅:0.80mm、帯状膜の間隔:0.82mmとした。

【0027】(5) さらに、この薄板状素体の抵抗体を形成した面にガラスペーストをスクリーン印刷法により所定のパターンとなるように印刷し、乾燥後(150℃、15分)、850℃(15分)で焼き付けた。

【0028】(6) この薄板状素体を、ダイシングマシンを用いて、幅0.72mmの短冊状素体に切断した。

【0029】(7) この短冊状素体の2面(切断面)に市販のガラスペーストをスクリーン印刷法により印刷し、乾燥後(150℃、15分)、850℃×15分で焼き付けた。

【0030】(8) この短冊状素体を、ダイシングマシンを用いて図1(d)のCの位置で切断し幅1.52mmのチップ状素体とした。

【0031】(9) このチップ状素体の両端に、市販の導電性電極(Ag系)をディップ法で形成し、乾燥後(150℃、15分)、820℃×15分で焼き付けた。

【0032】(10) この端子電極部に電解バレルメッキ法により、Niめっき、はんだめっきを形成した。(Niめっき:約4 μm 、はんだめっき:約5 μm)これにより、図1(b)に示す等価回路図の複合素子が製造された。

【0033】

【発明の効果】以上説明してきたように、本発明によれば、サーミスタ素体（焼結体）の表面に、絶縁体層、導電体層、誘電体層、抵抗体層を所定のパターンに（多層に）形成することにより、サーミスタとコンデンサと抵抗の並列回路と等価な特性を有する複合素子が提供される。

【0034】本発明によれば、サーミスタとコンデンサと抵抗の並列回路と等価な特性を有する素子を単体の素子として実現できるため、本素子を利用すれば、例えば、サーミスタとコンデンサの並列回路として構成している温度補償回路等の回路の小型化が可能となる。特に、小型化ニーズの強い温度補償型水晶発振器等の温度補償用回路として、本発明の素子是有用である。

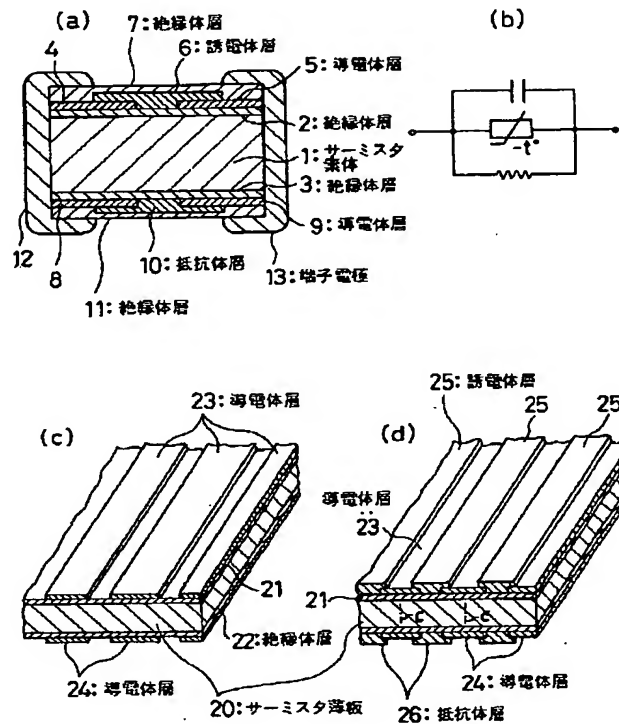
【図面の簡単な説明】

【図1】実施の形態に係る複合素子の断面図、等価回路図及び製造工程の説明図である。

【符号の説明】

- 1 サーミスタ素体
- 2, 3 絶縁体層
- 4, 5 導電体層
- 6 誘電体層
- 7 絶縁体層
- 8, 9 導電体層
- 10 抵抗体層
- 11 絶縁体層
- 12, 13 端子電極

【図1】



フロントページの続き

(51)Int. Cl.⁶

H01G 4/40

識別記号

FI

H01G 4/40

301A